

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09247003

(43)Date of publication of application: 19.09.1997

(51) Int. Cl.

H03M 13/12

H04B 14/04

H04L 25/08

(21)Application number: 08053014

(71)Applicant:

SONY CORP

(22)Date of filing: 11.03.1996

(72)Inventor:

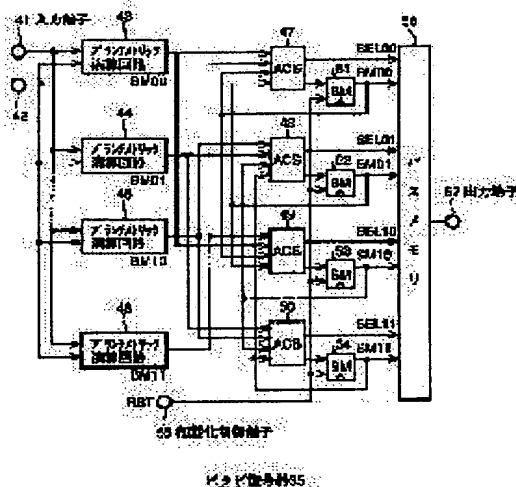
IKEDA TAMOTSU  
IKEDA YASUNARI  
OKADA TAKAHIRO

(54) INFORMATION TRANSMISSION SYSTEM/INFORMATION RECEPTION DEVICE AND INFORMATION TRANSMISSION METHOD

(57) Abstract:

**PROBLEM TO BE SOLVED:** To improve error correction possibility in the decoding of plural code groups.

**SOLUTION:** In branch metric operation circuits 43 and 44, humming distances corresponding to respective input data on first code groups inputted by input terminals 41 and 42 are operated. In ACAS circuits 47 and 50, the values of the state metrics are operated, selection information on a path is supplied to a path memory 56, the operation result of the state metric is supplied to the path memory 56, the operation result of the state metric is stored in state metric storage devices 51 and 54 and supplied to the path memory 56. When the decoding of the first code metric is terminated and a second code metric is inputted, the state metrics 51 and 54 are initialized and the decoding of the second code metric is started.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247003

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 13/12

H 0 3 M 13/12

H 0 4 B 14/04

H 0 4 B 14/04

D

H 0 4 L 25/08

H 0 4 L 25/08

B

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願平8-53014

(22) 出願日 平成8年(1996)3月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 保

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 池田 康成

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 岡田 隆宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

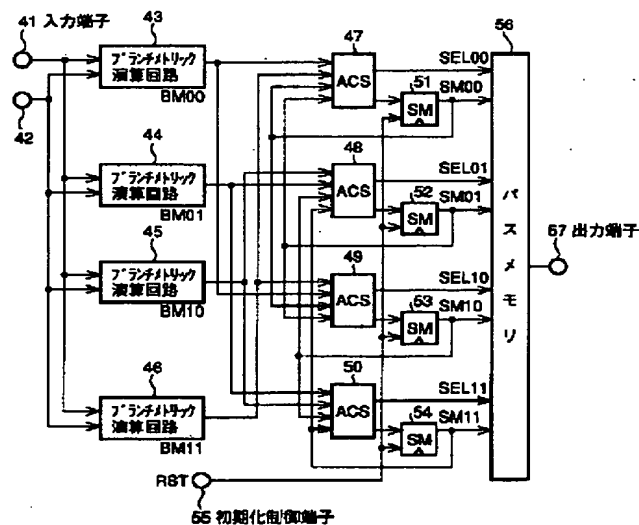
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 情報伝送システムおよび情報受信装置並びに情報伝送方法

(57) 【要約】

【課題】 複数の符号系列の復号において、誤り訂正能力を向上させる。

【解決手段】 ブランチメトリック演算回路43乃至46において、入力端子41、42より入力された第1符号系列の各入力データに対応するハミング距離が演算され、ACS回路47乃至50において、そのステートメトリックの値が演算され、パスの選択情報がパスメモリ56に供給され、ステートメトリックの演算結果がステートメトリック記憶装置51乃至54に記憶されるとともに、パスメモリ56に供給される。第1符号系列の復号が終了し、第2符号系列が入力されたとき、ステートメトリック51乃至54が初期化され、第2符号系列の復号が開始される。



ビタビ復号器35

1

## 【特許請求の範囲】

【請求項 1】 所定のデータを畳込み符号化する畳込み符号化器と、前記畳込み符号化器によって前記データが畳込み符号化された畳込み符号化データをパスメトリックを用いてビタビ復号するビタビ復号器とを備える情報伝送システムにおいて、

前記畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、前記符号系列の所定のものが前記終結系列によって終結され、前記符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングで前記パスメトリックを初期化する初期化手段を備えることを特徴とする情報伝送システム。

【請求項 2】 所定のデータが畳込み符号化された畳込み符号化データをパスメトリックを用いてビタビ復号するビタビ復号器を備える情報受信装置において、前記畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、前記符号系列の所定のものが前記終結系列によって終結され、前記符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングで前記パスメトリックを初期化する初期化手段を備えることを特徴とする情報受信装置。

【請求項 3】 所定のデータを畳込み符号化し、前記データが畳込み符号化された畳込み符号化データをパスメトリックを用いてビタビ復号する情報伝送方法において、

前記畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、前記符号系列の所定のものが前記終結系列によって終結され、前記符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングで前記パスメトリックを初期化することを特徴とする情報伝送方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、情報伝送システムおよび情報受信装置並びに情報伝送方法に関し、畳込み符号とビタビ復号を用いてデジタル伝送を行う場合に用いて好適な情報伝送システムおよび情報受信装置並びに情報伝送方法に関する。

## 【0002】

【従来の技術】 誤り訂正符号として畳込み符号を用い、ビタビ復号を行ってデータを復号するデジタルデータ伝送システムにおいて、符号系列をある終結系列で終結することによって復号の信頼性を高めるとともに、複数の情報源から供給されるデータを単一の符号化器で連続して符号化、復号が行える技術が知られている。これは終結系列を用いることにより、複数のまったく関係のない符号化されるべきデータを連結し、1つの符号系列として扱うことができるようになるためである。

【0003】 図5は、2系列のデータをマルチプレクスして伝送する情報伝送システムの一例の構成を示すブ

2

ック図である。送信側の送信装置において、入力端子1、4はそれぞれ異なる情報源からのデジタル系列を入力するようになされている。畳込み符号化器2は、入力端子1より入力されたデータに対して畳込み符号化を行うようになされている。ビット消去部3は、ビット消去回路と直列化回路より構成され、畳込み符号化されたデータの所定のビットを、消去マップ3aに従って消去するとともに、入力されたデータを直列化するようになされている。畳込み符号化器5は、入力端子4より入力されたデータに対して畳込み符号化を行うようになされている。ビット消去部6は、畳込み符号化されたデータの所定のビットを、消去マップ6aに従って消去するとともに、入力されたデータを直列化するようになされている。

【0004】 マルチプレクス情報生成回路7は、入力されたデータをマルチプレクスする場合の規則に対応する情報（マルチプレクス情報）を生成するようになされている。マルチプレクサ（MUX）8は、入力されたデータをマルチプレクスし、後述するデータフレームを構成し、出力するようになされている。

【0005】 また、受信側の受信装置において、デマルチプレクサ（De-MUX）10は、伝送路9を介して送信されてきたデータからマルチプレクス情報の識別子を検出し、マルチプレクス情報をマルチプレクス情報生成回路11に供給し、符号系列をビット挿入回路12に供給するようになされている。マルチプレクス情報生成回路11は、入力されたマルチプレクス情報から、入力端子1より入力された第1符号系列の符号化率と符号系列の長さ（L1）、および入力端子4より入力された第2符号系列の符号化率と符号系列の長さ（L2）を解読し、ビット挿入回路12およびデマルチプレクサ14に対応するものを供給するようになされている。

【0006】 ビット挿入回路12においては、ビット消去部3および6における場合とは逆の操作が行われ、どのビットが消去されているかを解読し、消去されているビット位置にダミービット（例えば0）を挿入し、2系列のビットストリームに変換し、出力するようになされている。ビタビ復号器13は、後述する図7の状態遷移図に従って、ビタビ復号を行うようになされている。

【0007】 デマルチプレクサ14は、マルチプレクス情報生成回路11より供給される第1符号系列の長さ（L1）および第2符号系列の長さ（L2）に従って、ビタビ復号器13より入力された復号系列を振り分け、2系列の復号データにして出力端子15および16よりそれぞれ出力するようになされている。

【0008】 図6は、畳込み符号化器2の構成例を示すブロック図である。遅延素子22は、入力端子21より入力されたデータを所定の時間だけ遅延して出力する。遅延素子23は、遅延素子22より供給されたデータを所定の時間だけ遅延して出力するようになされている。

3

演算器24は、入力端子21、遅延素子22、および遅延素子23より供給されたデータの排他的論理和を演算し、その演算結果を出力端子26より出力するようになされている。演算器25は、入力端子21、および遅延素子23より供給されたデータの排他的論理和を演算し、その演算結果を出力端子27より出力するようになされている。従って、畳込み符号化器2は、拘束長3、内部遅延素子数2、状態数4の畳込み符号化器であり、出力端子26、27より畳込み符号化された符号系列が出力される。畳込み符号化器5は、基本的に畳込み符号器2の場合と同様の構成とすることができるので、その説明は省略する。

【0009】次に、図5を参照してその動作について説明する。入力端子1には、所定の情報源より、長さL1のデジタルデータと、データの最後に接続される既知の終結系列が入力される。このデジタルデータと終結系列は、畳込み符号化器2に入力され、畳込み符号化が行われる。

【0010】畳込み符号化器2において、最初、遅延素子22、23は、定められた値で初期化されている。ここでは、00（遅延素子22=0、遅延素子23=0）に初期化されているものとする。この畳込み符号化器2の状態遷移図を図7に示す。

【0011】図7に示した状態遷移図によれば、状態00において0が入力されると、00が出力され、状態00に遷移し、状態00において1が入力されると、11が出力され、状態10に遷移する。また、状態01において0が入力されると、11が出力され、状態00に遷移し、状態01において1が入力されると、00が出力され、状態10に遷移することがわかる。同様に、状態10において0が入力されると、10が出力され、状態01に遷移し、状態10において1が入力されると、01が出力され、状態11に遷移する。また、状態11において0が入力されると、01が出力され、状態01に遷移し、状態11において1が入力されると、10が出力され、状態11に遷移することがわかる。

【0012】図6に示した畳込み符号化器2を用いた場合、終結系列として例えば00を用いることによって、全く異なる2つの系列を1つの系列として扱うことが可能となる。なぜなら、入力端子1から入力されるデータの最後に終結系列00を入力することによって、畳込み符号化器2の遅延素子は00に初期化された場合と同様の状態（遅延素子22の値=0、遅延素子23の値=0）になり、終結系列のあとに全く異なるデータ系列が入力されても、前のデータ系列に影響されることなく符号化されるためである。同じ理由によって、復号もあたかも1つの符号系列であるかのように復号することができる。これは、入力系列が2系列ということに限定されない。

【0013】ビット消去部3においては、図5に示すよ

4

うな消去マップ3aに従って、ビットが消去される。図中の消去マップ3aにおいて、1に対応するビットは伝送され、0に対応するビットは伝送されない。

【0014】従って、消去マップ3aによれば、例えば、ある時点での畳込み符号化器2の出力X（=X1）とY（=Y1）はX1Y1の順で伝送され、次の時点では、畳込み符号化器2の出力X（=X2）とY（=Y2）のうち、X（=X2）は消去されて伝送されず、Y（=Y2）のみ伝送されることになる。すなわち、この2つの時点で伝送されるビットは、X1Y1Y2となる。この操作で畳込み符号化器2に入力されるビット数は2ビットであり、ビット消去部3から出力されるビット数は3ビットとなるので、符号化率R1は2/3（入力ビット数/出力ビット数）となる。この操作は2単位時間毎に繰り返される。

【0015】入力端子4より入力されたデータに対しても同様の手順で符号化が行われる。すなわち、入力端子4からは、所定の情報源より、長さL2のデジタルデータとデータの最後に接続される既知の終結系列（00）が入力される。このデータは、畳込み符号化器5において畳込み符号化が行われる。ここで、復号装置が1種類で済むように、入力端子4より入力されたこのデータに関しても、図6に示した畳込み符号化器2を用いるようにすることができる。畳込み符号化器5の出力はビット消去部6に供給される。

【0016】ビット消去部6においては、消去マップ6aに従って、ビット消去部3の場合と同様の手順で所定のビットが消去される。消去マップ6aによれば、ある時点での畳込み符号化器5の出力X（=X1）とY（=Y1）はX1Y1の順で伝送され、次の時点では、畳込み符号化器5の出力X（=X2）とY（=Y2）のうち、X（=X2）は消去されて伝送されず、Y（=Y2）のみ伝送されることになる。さらにその次の時点では、符号化器の出力X（=X3）とY（=Y3）のうち、X（=X3）は伝送されるが、Y（=Y3）は消去されて伝送されない。

【0017】すなわち、この3つの時点で伝送されるビットは、X1Y1Y2X3となる。この操作で畳込み符号化器5に入力されるビット数は3ビットであり、ビット消去部6から出力されるビット数は4ビットとなるので、符号化率R2は3/4となる。この操作は3単位時間ごとに繰り返される。

【0018】ここで、入力端子1から入力されたデータと入力端子4から入力されたデータの誤り率特性を比較してみると、上述したように、入力端子1より入力されたデータの符号化率R1は2/3であり、入力端子4より入力されたデータの符号化率R2は3/4であるので、入力端子1より入力されたデータの方が、入力端子4より入力されたデータより符号化率が小さく、誤り率特性が良好であることが予想される。逆に、入力端子4

より入力されたデータは入力端子1より入力されたデータより符号化率が高いので、伝送効率が良いことが予想される。

【0019】入力端子1から入力されたデータ系列と入力端子4から入力されたデータ系列のそれぞれの符号系列は、ある規則に従ってマルチプレクスされるが、マルチプレクス情報生成回路7においては、その規則に対応する情報(マルチプレクス情報)が生成され、出力される。ここでは簡単のため、マルチプレクス情報は、図8に示したような構成をなしているものとする。即ち、マルチプレクス情報の識別子、第1符号系列の符号化率、符号系列の長さ(L1)、第2符号系列の符号化率、および符号系列の長さ(L2)からなるものとする。

【0020】ビット消去部3、6、およびマルチプレクス情報生成回路7の出力は、それぞれマルチプレクサ8に供給される。マルチプレクサ8においては、これらの入力がマルチプレクスされ、例えば、簡単のため、図9に示したようなデータフレームが構成された後、伝送路9に供給される。

【0021】伝送路9は、例えば変調器を通した無線伝送やメディアへの記録等が考えられるが、いずれもなんらかの雑音が付加されて受信器(図5において、デマルチプレクサ10以降)に到達する。

【0022】デマルチプレクサ10においては、マルチプレクス情報の識別子を検出し、マルチプレクス情報と符号化系列をそれぞれ抽出し、マルチプレクス情報をマルチプレクス情報生成回路11に、符号系列をビット挿入回路12にそれぞれ振り分ける。

【0023】マルチプレクス情報生成回路11においては、デマルチプレクサ10より供給されたマルチプレクス情報から、第1符号系列の符号化率と符号系列の長さ(L1)、第2符号系列の符号化率と符号系列の長さ(L2)を解釈し、第1符号系列の符号化率と符号系列の長さ(L1)、第2符号系列の符号化率と符号系列の長さ(L2)をビット挿入回路12に、第1符号系列の符号系列の長さ(L1)、第2符号系列の符号系列の長さ(L2)をデマルチプレクサ14に供給する。

【0024】ビット挿入回路12では、ビット消去部3および6において行われる操作と丁度逆の操作が行われる。即ち、マルチプレクス情報生成回路11から供給されたマルチプレクス情報に含まれる符号化率から、どのビットが消去されているかを解釈し、消去されているビット位置にダミービット(例えば0)を挿入し、2系列のビットストリーム $X_2$ 、 $Y_2$ に変換し、次段のビタビ復号器13に供給する。例えば、第1符号系列におけるビット挿入では、ビットストリーム $X_2$ 、 $Y_2$ に対応する最初の2ビット( $X_2 1$ 、 $Y_2 1$ )を受信したあと、ビット消去部3において消去された $X_2$ に対応する部分に0を挿入し、 $Y_2$ に対応する1ビット( $Y_2 2$ )を受信する。結果としてビット挿入回路12の出力は、( $X$

$2 1$ 、 $Y_2 1$ )、( $0$ 、 $Y_2 2$ )となる。同様にして、第2符号系列に対するビット挿入回路12の出力は、( $X_2 1$ 、 $Y_2 1$ )、( $0$ 、 $Y_2 2$ )、( $X_2 3$ 、 $0$ )となる。

【0025】ビタビ復号器13には、これらのデータとともにどのビットが消去されたかを示す挿入フラグも併せて供給される。ビタビ復号器13においては、図7に示した状態遷移図に基づいたビタビ復号が行われ、デマルチプレクサ14に供給される。デマルチプレクサ14においては、マルチプレクス情報生成回路11より供給される第1符号系列の長さ(L1)と第2符号系列の長さ(L2)に従って復号系列が振り分けられ、2系列の復号データとされ、出力端子15および出力端子16よりそれぞれ出力される。

【0026】

【発明が解決しようとする課題】このように、複数系列のデータを符号化する場合において、各系列を終結することによって、それらをあたかも1つの系列のデータと見なし、その符号化および復号を同一の符号化器、および復号器で連続して行うことができるが、実際には復号するときに、系列の切れ目毎に元々の複数の系列のうちの1つの系列として復号することが可能である。この要求は、元々の複数系列ごとに誤り率特性が異なり、ある系列が一つ前の系列の誤り率特性に影響される場合が起こると考えられる。

【0027】しかしながら、例えば、受信側では元々の複数系列のうちの1つの系列しか必要としない場合、伝送路上で雑音の影響を受けた復号器(具体的にはステートメトリックの値が雑音に応じた値を持っていることに対応する)を継続的に用いて、対象となる系列の復号を行うことは、誤り率特性を劣化させる原因となる。

【0028】また、複数系列すべてを復号する必要がある場合でも、パンクチャド符号のように、系列ごとに誤り率特性の異なる符号系列を連続して復号する場合、対象となる系列の前の系列の誤り率特性が悪い場合は、その対象となる系列の誤り率特性をも劣化させてしまう原因となる場合がある課題があった。

【0029】本発明はこのような状況に鑑みてなされたものであり、符号を終結することによって、接続された複数の符号系列の復号時に、前の系列の復号結果に影響されずに復号することができるようにするものである。

【0030】

【課題を解決するための手段】請求項1に記載の情報伝送システムは、畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化する初期化手段を備えることを特徴とする。

【0031】請求項2に記載の情報受信装置は、畳込み符号化データが、所定の終結系列で終結された複数の符

号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化する初期化手段を備えることを特徴とする。

【0032】請求項3に記載の情報伝送方法は、畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化することを特徴とする。

【0033】請求項1に記載の情報伝送システムにおいては、畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、初期化手段により、所定のタイミングでパスメトリックが初期化される。従って、符号系列毎にパスメトリックが初期化された状態で、ビタビ復号を開始することができる。

【0034】請求項2に記載の情報受信装置においては、畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、初期化手段により、所定のタイミングでパスメトリックが初期化される。従って、符号系列毎にパスメトリックが初期化された状態で、ビタビ復号を開始することができる。

【0035】請求項3に記載の情報伝送方法においては、畳込み符号化データが、所定の終結系列で終結された複数の符号系列からなる場合において、符号系列の所定のものが終結系列によって終結され、符号系列の他の所定のもののビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化する。従って、符号系列毎にパスメトリックが初期化された状態で、ビタビ復号を開始することができる。

#### 【0036】

【発明の実施の形態】図1は、本発明の情報伝送システムの一実施例の構成を示すブロック図である。送信側の送信装置に関しては、図5に示した従来のものと同一のものを仮定する。従って、ここでは、送信装置の構成についての説明は省略する。

【0037】図1の受信側の受信装置において、デマルチプレクサ（De-MUX）31は、伝送路9を介して送信されてきたデータからマルチプレクス情報の識別子を検出し、マルチプレクス情報をマルチプレクス情報生成回路32に供給し、符号系列をビット挿入回路33に供給するようになされている。

【0038】マルチプレクス情報生成回路32は、入力されたマルチプレクス情報から、入力端子1より入力された第1符号系列の符号化率と符号系列の長さ（L

1）、および入力端子4より入力された第2符号系列の符号化率と符号系列の長さ（L2）を解読し、例えば、ビット挿入回路33にビット挿入のための制御信号を供給し、バッファメモリ34にリード（読み出し）イネーブル信号を供給し、ビタビ復号器35にステートメトリック初期化信号を供給し、さらにデマルチプレクサ36に復号系列を振り分けるためのデマルチプレクス信号を供給するようになされている。

【0039】ビット挿入回路33は、ビット消去部3および6における場合とは逆の操作が行われ、どのビットが消去されているかを解読し、消去されているビット位置にダミービット（例えば0）を挿入し、2系列のビットストリームに変換し、出力するようになされている。ビタビ復号器35は、後述する図7の状態遷移図に従って、ビタビ復号を行うようになされている。

【0040】デマルチプレクサ36は、マルチプレクス情報生成回路32より供給される第1符号系列の長さおよび第2符号系列の長さに従って、ビタビ復号器35より入力された復号系列を振り分け、2系列の復号データにして出力端子37および38よりそれぞれ出力するようになされている。

【0041】次に、その動作について説明する。送信側の送信装置においては、図5を参照して上述した場合と基本的に同様であるので、その詳細な説明は省略するが、入力された2系統のデータが畳込み符号化され、ビット消去され、さらにマルチプレクスされて、伝送路9に供給される。伝送路9では何らかの雑音が付加され、受信装置のデマルチプレクサ31に到達する。

【0042】デマルチプレクサ31においては、マルチプレクス情報の識別子が検出され、マルチプレクス情報はマルチプレクス情報生成回路32に、符号系列はビット挿入回路33にそれぞれ振り分けられる。

【0043】マルチプレクス情報生成回路32においては、マルチプレクス情報から第1符号系列の符号化率と符号系列の長さ（L1）、第2符号系列の符号化率と符号系列の長さ（L2）が解読され、ビット挿入回路33に対しては、ビット挿入回路33が後述する機能を満たすような制御信号が供給される。また、バッファメモリ34に対しては、バッファメモリ34が後述する機能を満たすような制御信号が供給される。ビタビ復号器35に対しては、ビタビ復号器35が後述する機能を満たすような初期化信号が供給される。さらにデマルチプレクサ36に対しては、デマルチプレクサ36が後述する機能を満たすような制御信号が供給される。

【0044】ビット挿入回路33においては、図5において上述したビット挿入回路12の場合と基本的に同様の操作が行われるが、マルチプレクス情報生成回路32より供給される制御信号との関係についてもう少し詳しく説明する。デマルチプレクサ31によって受信された受信データにおいては、マルチプレクス情報識別子によ

って、そこに含まれるマルチプレクス情報の位置を知ることができる。これによって、第1符号系列の先頭位置を認識することができる。また、第1符号系列の先頭位置と第1符号系列の長さから、第2符号系列の先頭位置を認識することができる。第1符号系列の先頭位置から第1符号系列の長さ分だけ前述の方法でビット挿入を行い、その後、第2符号系列の先頭位置から第2符号系列の長さ分だけ前述の方法でビット挿入を行う。

【0045】逆に、この機能が実現できるようにマルチプレクス情報生成回路32は、第1符号系列のビット挿入開始位置とビット挿入区間、第2符号系列のビット挿入開始位置とビット挿入区間を出力すればよい。ビット挿入回路33の出力は、次段のバッファメモリ34に供給される。

【0046】バッファメモリ34は、次段のビタビ復号器35が後述の機能を実現するためのデータの速度変換とダミーデータの出力を行う。デマルチプレクス情報生成回路32より供給される制御信号は、バッファメモリ34の入力（書き込み）イネーブル信号と出力（読みだし）イネーブルの信号である。読みだしイネーブル信号がディセーブルのときは常に（0，0）を出力する。これは終結された符号系列間に、入力が0000・・・で、出力が（0，0）、（0，0）、（0，0）・・・となるような符号系列が連結された場合と同様の意味を持つ。

【0047】ビタビ復号器35においては、図7に示した状態遷移図に従ってビタビ復号が行われる。ビタビ復号器35の回路構成を図2に示す。

【0048】図2に示したビタビ復号器35において、入力端子41，42は、それぞれ所定の受信系列のデータを入力するようになされている。ブランチメトリック演算回路43は、入力されたデータ（D1，D2）と（0，0）との距離（例えばハミング距離）を演算し、出力するようになされている。ブランチメトリック演算回路44は、入力されたデータ（D1，D2）と（0，1）との距離を演算し、出力するようになされている。ブランチメトリック演算回路45は、入力されたデータ（D1，D2）と（1，0）との距離を演算し、出力するようになされている。さらに、ブランチメトリック演算回路46は、入力されたデータ（D1，D2）と（1，1）との距離を演算し、出力するようになされている。

【0049】ACS回路（ステートメトリック演算回路）（ACS）47には、ブランチメトリック演算回路43，46からの出力データと、後述するステートメトリック記憶装置51，52からの出力データが供給されるようになされており、図7に示した状態遷移図に従って、所定の演算を行い、尤度の大きい方、即ち計算結果の小さい方を選択し、選択情報をパスメモリ56に供給するとともに、選択した計算結果をステートメトリック

記憶装置51に供給するようになされている。また、ACS回路48には、ブランチメトリック演算回路45，44からの出力データと、ステートメトリック記憶装置53，54からの出力データが供給されるようになされており、図7に示した状態遷移図に従って、所定の演算を行い、尤度の大きい方、即ち計算結果の小さい方を選択し、選択情報をパスメモリ56に供給するとともに、選択した計算結果をステートメトリック記憶装置52に供給するようになされている。

【0050】ACS回路49には、ブランチメトリック演算回路46，44からの出力データと、ステートメトリック記憶装置51，52からの出力データが供給されるようになされており、図7に示した状態遷移図に従って、所定の演算を行い、尤度の大きい方、即ち計算結果の小さい方を選択し、選択情報をパスメモリ56に供給するとともに、選択した計算結果をステートメトリック記憶装置53に供給するようになされている。ACS回路50には、ブランチメトリック演算回路44，45からの出力データと、ステートメトリック記憶装置53および54からの出力データが供給されるようになされており、図7に示した状態遷移図に従って、所定の演算を行い、尤度の大きい方、即ち計算結果の小さい方を選択し、選択情報をパスメモリ56に供給するとともに、選択した計算結果をステートメトリック記憶装置54に供給するようになされている。

【0051】パスメトリック（ステートメトリック）記憶装置（SM）51は、ACS回路47の演算結果を記憶し、所定のタイミングで、出力するようになされている。ステートメトリック記憶装置52は、ACS回路48の演算結果を記憶し、所定のタイミングで出力するようになされている。ステートメトリック記憶装置53は、ACS回路49の演算結果を記憶し、所定のタイミングで出力するようになされている。ステートメトリック記憶装置54は、ACS回路50の演算結果を記憶し、所定のタイミングで出力するようになされている。

【0052】パスメモリ56は、ACS回路47乃至50より供給された選択情報およびステートメトリック記憶装置51乃至54より供給されたデータを記憶し、最も尤度の大きいパスに対応するデータを復号データとして出力端子57より出力するようになされている。初期化制御端子55（初期化手段）は、ステートメトリック記憶装置51乃至54を初期化するための制御信号（リセット信号（RST））を入力するようになされている。

【0053】次に、その動作について説明する。ブランチメトリック演算回路43においては、入力データ（例えばD1，D2）と（0，0）との距離、例えばハミング距離が計算され、計算結果が次段のACS回路47，49に供給される。同様にブランチメトリック演算回路44においては、入力データ（D1，D2）と（0，

1)との距離が計算され、計算結果がACS回路48、50に供給される。ブランチメトリック演算回路45においては、入力データ(D1、D2)と(1、0)との距離が計算され、計算結果がACS回路48、50に供給される。ブランチメトリック演算回路46においては、入力データ(D1、D2)と(1、1)との距離が計算され、計算結果がACS回路47、49に供給される。

【0054】ここで、ビット挿入回路33より供給される挿入フラグに従って、挿入されたビットに関する距離計算が省略される。即ち、挿入されたビットと、比較すべきビットとの距離をすべて同一(例えば0)とする。

【0055】ACS回路47においては、図7の状態遷移図に従って次の2つの式(1)および式(2)が計算され、尤度の大きい方、即ち、計算結果の小さい方が選択され、その選択情報が次段のパスメモリ56に供給され、その計算結果がステートメトリック記憶装置51に供給される。

【0056】 $SM00 + BM00 \dots$  (式1)

【0057】 $SM01 + BM11 \dots$  (式2)

【0058】ここで、SM00は1単位時間前のステートメトリック記憶装置51の値であり、SM01は1単位時間前のステートメトリック記憶装置52の値である。また、BM00はブランチメトリック演算回路43の演算結果、BM11はブランチメトリック演算回路46の演算結果である。

【0059】即ち、式(1)の計算結果の方が小さければ選択情報(SEL00)として値0が次段のパスメモリ56に供給され、式(2)の計算結果の方が小さければ選択情報(SEL00)として値1がパスメモリ56に供給される。

【0060】次に、式(1)および式(2)で表された計算の意味について、図7に示した状態遷移図に沿って説明する。図7の状態遷移図より、状態00に到達するパスは2本ある。1本目は、状態00において0が入力され、00を出力するパスであり、比較される計算式は式(1)のようになる。一方、2本目は、状態01において0が入力され、11を出力するパスで、比較される計算式は式(2)のようになる。計算結果のうち小さいほうが新たなステートメトリック記憶装置51の値SM00としてステートメトリック記憶装置51に供給される。ACS回路48乃至50においても、ACS回路47の場合と同様である。

【0061】即ち、ACS回路48においては、図7の状態遷移図より、状態01に到達するパスは2本ある。1本目は、状態10において0が入力され、10を出力するパスであり、比較される計算式は式(3)のようになる。一方、2本目は、状態11において0が入力され、01を出力するパスで、比較される計算式は式

(4)のようになる。計算結果のうち小さい方が新たな

SM01としてステートメトリック記憶装置52に供給される。

【0062】 $SM10 + BM10 \dots$  (式3)

【0063】 $SM11 + BM01 \dots$  (式4)

【0064】ACS回路49においては、図7の状態遷移図より、状態10に到達するパスは2本ある。1本目は、状態00において1が入力され、11を出力するパスであり、比較される計算式は式(5)のようになる。一方、2本目は、状態01において1が入力され、00を出力するパスで、比較される計算式は式(6)のようになる。計算結果のうち小さい方が新たなSM10としてステートメトリック記憶装置53に供給される。

【0065】 $SM00 + BM11 \dots$  (式5)

【0066】 $SM01 + BM00 \dots$  (式6)

【0067】ACS回路50においては、図7の状態遷移図より、状態11に到達するパスは2本ある。1本目は、状態10において1が入力され、01を出力するパスであり、比較される計算式は式(7)のようになる。一方、2本目は、状態11において1が入力され、10を出力するパスで、比較される計算式は式(8)のようになる。計算結果のうち小さい方が新たなSM11としてステートメトリック記憶装置54に供給される。

【0068】 $SM10 + BM01 \dots$  (式7)

【0069】 $SM11 + BM10 \dots$  (式8)

【0070】ステートメトリック記憶装置51乃至54は、システムが動作する初期段階で値0にリセットされる。この制御は、図には示していない制御装置から、初期化制御端子55を介して行われる。パスメモリ56においては、図7の状態遷移図に従って、ACS回路47乃至50からの選択情報を用いて、入力データ、即ち復号データの選択、記憶、および伝搬が行われる。

【0071】図3にパスメモリ56のブロック図を示す。セクタ61は2入力1出力のセクタであり、そこにはACS回路47からの選択情報(パス選択情報:SEL00)と、2つの入力データ(それぞれのパスに対応する復号データ(復号情報))が入力されるようになされており、この選択情報に従って、これら2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ61の場合、状態00に到達するパスは、図7の状態遷移図より2本あり、ともに入力データが0のときであるので、2つの入力データはともに0とされる。レジスタ(記憶装置)65は、セクタ61より出力されたデータを記憶するようになされている。

【0072】同様に、セクタ62は2入力1出力のセクタであり、ACS回路48からの選択情報(SEL01)と、2つの入力データが入力されるようになされており、選択情報に従って、これら2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ62の場合、状態01に到達するパス



13

は、図7の状態遷移図より2本あり、ともに入力データが0のときであるので、2つの入力データはともに0とされる。レジスタ66は、セクタ62より出力されたデータを記憶するようになされている。

【0073】また、セクタ63は2入力1出力のセクタであり、ACS回路49からの選択情報(SEL10)と、2つの入力データが入力されるようになされており、選択情報に従って、これら2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ63の場合、状態10に到達するパスは、図7の状態遷移図より2本あり、ともに入力データが1のときであるので、2つの入力データはともに1とされる。レジスタ67は、セクタ63より出力されたデータを記憶するようになされている。

【0074】さらに、セクタ64は2入力1出力のセクタであり、ACS回路50からの選択情報(SEL11)と、2つの入力データが入力されるようになされており、選択情報に従って、これら2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ64の場合、状態11に到達するパスは、図7の状態遷移図より2本あり、ともに入力データが1のときであるので、2つの入力データはともに1とされる。レジスタ68は、セクタ64より出力されたデータを記憶するようになされている。

【0075】セクタ71においても、基本的にセクタ61の場合と同様の構成であり、選択情報SEL00と、レジスタ65、66からの入力データが供給されるようになされており、選択情報SEL00に従って2つの入力データのうちのいずれか1つを選択し、出力するようになされている。

【0076】セクタ72においては、選択情報SEL01と、レジスタ67、68からの入力データが供給されるようになされており、選択情報SEL01に従って2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ73においては、選択情報SEL10と、レジスタ65、66からの入力データが供給されるようになされており、選択情報SEL10に従って2つの入力データのうちのいずれか1つを選択し、出力するようになされている。セクタ74においては、選択情報SEL11と、レジスタ67、68からの入力データが供給されるようになされており、選択情報SEL11に従って2つの入力データのうちのいずれか1つを選択し、出力するようになされている。

【0077】セクタ71乃至74より出力された入力データは、レジスタ75乃至78にそれぞれ供給され、記憶される。

【0078】図3に示したように、セクタ81乃至84、91乃至94、およびレジスタ85乃至88、95乃至98についても、セクタ71乃至74、およびレジスタ75乃至78の場合と同様の構成である

14

ので、ここではその説明は省略する。

【0079】最小値比較回路99は、図2に示したステートメトリック記憶装置51乃至54よりそれぞれ供給されるステートメトリックの値SM00乃至SM11を比較し、例えばSM00が最小である場合、選択情報として00を出力し、SM01が最小である場合、選択情報として01を出力する。また、SM10が最小である場合、選択情報として10を出力し、SM11が最小である場合、選択情報として11を出力するようになされている。

【0080】セクタ100は、4入力1出力のセクタであり、最小値比較回路99より供給された選択情報が00の場合、レジスタ95より供給されたデータを復号データとして出力する。最小値比較回路99より供給された選択情報が01の場合、レジスタ96より供給されたデータを復号データとして出力する。最小値比較回路99より供給された選択情報が10の場合、レジスタ97より供給されたデータを復号データとして出力する。また、最小値比較回路99より供給された選択情報が11の場合、レジスタ98より供給されたデータを復号データとして出力するようになされている。

【0081】パスメモリ56の結線は、図7に示した状態遷移図に基づいている。即ち、最上行は状態00に対応し、2行目は状態01に対応している。また、3行目は状態10に対応し、最下行は状態11に対応している。第1列目は復号情報の取り込みを行う。状態00における第1列において、図7の状態遷移図によれば、状態00に到達するパスは状態00、状態01からの2本存在する。それぞれのパスに対応する入力ビットすなわち復号情報は、それぞれ、0、0である。

【0082】パスメモリ56においては、選択情報(SEL00)によってそれに対応する復号情報が選択されるようにセクタの入力端子に配線される。第1列目に関して、状態01、状態10、および状態11に対しても同様に結線される。

【0083】第2列目以降は、復号系列の選択、伝搬、および記憶が行われる。状態00における第2列は、図7の状態遷移図によれば、状態00に到達するパスは状態00、状態01からの2本存在する。パスメモリ56では選択情報によって、それに対応する状態からのデータが選択されるようにセクタの入力端子に配線される。第2列目以降に関して、状態01、状態10、および状態11に対しても同様に結線される。パスメモリ56の最終列では、記憶された4つの復号データから最も尤度の大きいパスに対応するデータが最終的な復号データとして出力される。

【0084】ここで、「最も尤度の大きいパス」とは、4つのステートメトリック(SM00乃至SM11)のうち、最小の値を持つ状態に対応するパスであり、セクタ100において、その時点におけるステートメトリ

15

ックの最小値すなわち、最も尤度の大きいパスが選択されることになる。

【0085】復号データは、図1のデマルチプレクサ36に供給され、マルチプレクス情報生成回路32から供給される第1符号系列の長さ(L1)と第2符号系列の長さ(L2)に従って復号系列が振り分けられ、2系列の復号データとされ、出力端子37および38よりそれぞれ出力される。

【0086】次に、図2に示したビタビ復号器35の動作について、初期化制御端子55より入力される入力ステートメトリック初期化信号(RST)を中心に説明する。

【0087】ステートメトリック記憶装置51乃至54は、復号の開始時、すなわち、マルチプレクス情報に続いて、ビット挿入回路33によってビット挿入された第1符号系列の先頭データが入力されるのと同時に0に初期化される。

【0088】その後、ビタビ復号器35は、図5に示したビタビ復号器13の場合と同様の動作を行い、第1符号系列の最後のデータが入力され、それがパスメモリ56の打ち切り長(図3のパスメモリ56の列の数)だけ伝搬されるまで、すなわち、第1符号系列の最後のデータに対応するデータがパスメモリ56を出るまで、ダミーのデータ(0, 0)、(0, 0)、(0, 0)・・・が入力される。

【0089】これは、図1のマルチプレクス情報生成回路32が、バッファメモリ34に対する制御信号(読み出し(出力)イネーブル信号)を制御することにより実現される。ここ制御信号に従って、上述したように、バッファメモリ34より出力された上記ダミーデータがビタビ復号器35に入力される。

【0090】第1符号系列の最後のデータがパスメモリ56を出た後、第2符号系列の最初のデータが入力されるとき、再びステートメトリック記憶装置51乃至54に記憶されているSM00乃至SM11値が0に初期化され、第1符号系列の場合と同様に復号される。すなわち、ビタビ復号器35は、図5に示したビタビ復号器13の場合と同様の動作を行い、第2符号系列の最後のデータが入力され、それがパスメモリ打ち切り長(図3のパスメモリ56の列の数)だけ伝搬されるまで、すなわち、第2符号系列の最後のデータに対応するデータがパスメモリ56を出るまで、ダミーのデータ(0, 0)、(0, 0)、(0, 0)・・・をバッファメモリ34より入力する。

【0091】上述したように、これは、マルチプレクス情報生成回路32が、バッファメモリ34に対する制御信号(読み出し(出力)イネーブル信号)を制御することにより実現される。この制御により、バッファメモリ34より出力された上記ダミーデータがビタビ復号器35に入力される。デマルチプレクサ36は、マルチプレ

16

クス情報生成回路32からの制御信号に従って、第1符号系列の復号データを出力端子37に、符号系列2の復号データを出力端子38にそれぞれ振り分けて出力する。

【0092】図4にタイミングチャートの例を示す。ここで、ビタビ復号器35の打ち切り長はLとする。図示せぬ制御装置より供給されるクロック信号(Dck)に同期して、デマルチプレクサ31にデータ(Din)が入力される。デマルチプレクサ31においては、Dinがマルチプレクス情報の識別子と合致するかが判定され、合致する場合、それに続く符号化率およびデータ長を示すビット長だけ遅延して、開始フラグStartが立つ。

【0093】Startが立つと同時に、ビット挿入回路33の動作が開始される。Dinに同期して、第1符号系列に相当する数のデータ(D1, D2, ...)が速度調整用の図示せぬFIFO(First-In First-Out)に入力される。引き続き、同様に第2符号系列に相当する数のデータ(d1, d2, ...)が入力される。これらのデータの inputs は、クロック信号(Wck)に従って行われる。このときのFIFOのデータ入力段のデータがFIFO(0)である。

【0094】第1符号系列の最初の3つのデータD1、D2、D3がFIFOに入力されると、クロック信号(Rck)に従ってFIFOからデータが読み出される。このときの3という数値は、第1符号系列の符号化率R1(=2/3)の分母である3に相当し、Rckのパターンは第1符号系列のビット消去パターン(ビット消去マップ3a)に従っている。図4に示す通り、Rckが立たない位置にはデータ0が挿入され、ビット挿入フラグが立つ。このデータに関しては、後段のビタビ復号器35においてブランチメトリックの計算が行われない。

【0095】第1符号系列に対応するデータ系列の読み出しに続いて、同様の手順で第2符号系列に対応するデータ系列の読み出しが行われる。ビット挿入回路33の最終段では、直並列変換が行われ、S(Serial)/P(Parallel)出力としてバッファメモリ34に供給される。

【0096】バッファメモリ34には、クロック信号(BWck)に従って上記データが書き込まれる。バッファメモリ34内のデータ数が復号に必要な数に達したところで、クロック信号(BRck)に従ってデータの読み出し(出力)が開始される。このとき、ステートメトリック初期化信号(SMRST)がローレベルになり、ビタビ復号器35のステートメトリック記憶装置51乃至54が初期化され、第1符号系列に対する新たな復号が開始される。

【0097】バッファメモリ34は、第1符号系列に対応するL1個のデータが読み出された後、ビタビ復号器

35の打ち切り長Lだけ、符号化器入力000・・・に対する符号化器出力であるデータ(00)(00)(00)・・・をダミーデータとして出力する。引き続き、バッファメモリ34内のデータ数が復号に必要な数に達したところで、同様の手順でB R c kに従って第2符号系列のデータの読み出し(出力)が行われる。

【0098】ビタビ復号器35においては、B R c kを動作クロックとし、前述のステートメトリック初期化信号を制御信号としてこの第2符号系列の復号が行われる。復号の手順は上述した通りである。このようにして復号された第1符号系列の復号データと第2符号系列の復号データは、それぞれデマルチプレクサ36に供給される。デマルチプレクサ36においては、上述したように、第1符号系列の復号データが出力端子37に、第2符号系列の復号データが出力端子38に振り分けられて出力される。

【0099】このようにして、入力された2つの符号系列の復号を行うことができる。

【0100】欧州のデジタル音声放送に関して、E T S I (European Telecommunication Standards Institute) で標準化されたD A B (Digital Audio Broadcast) において、複数の音楽プログラムまたはデータの伝送に関する規格が定められている。ここでも、送信側において、複数のデータ系列がそれぞれ終結系列を含んだかたちで畳込み符号化され、ビット消去されたバンクチャド符号が用いられている。各バンクチャド符号系列は後段でマルチプレクスされ、フレームが構成された後、直交周波数分割多重(O F D M)変調方式で受信側に伝送される。伝送される情報の中には符号化された系列のフレーム内の開始アドレス、系列長などが含まれている。

【0101】受信側では送られてきたすべてのプログラムまたはデータを復号することも、希望するプログラムまたはデータのみを復号することも選択が可能である。いずれの場合でも復号しようとするプログラムまたはデータに対応する系列の先頭アドレスに従って、ビタビ復号器のステートメトリックを初期化することにより、前のプログラムまたはデータに対応する符号系列の復号の影響を考慮することなく、いま復号しようとする符号系列の誤り訂正能力のみに依存した復号を行うことができる。

【0102】以上のように、符号を所定の終結系列で終結することによって接続された複数の符号系列を復号する場合において、元々の各符号系列の先頭のデータを復号するとき、ステートメトリックを初期化することにより、前の符号系列の復号の影響を取り除くことができる。従って、例えば、前の符号系列の誤り率特性が劣悪な場合であっても、いま対象としている符号系列の誤り率特性に影響を与えることなく、良好な復号を行うことができ、誤り訂正能力を向上させることが可能となる。

【0103】なお、上記実施例においては、終結系列で

終結された2つの符号系列をそれぞれ復号する場合について説明したが、3以上の符号系列を復号するようにすることも可能である。

【0104】

【発明の効果】請求項1に記載の情報伝送システム、および請求項3に記載の情報伝送方法によれば、所定の終結系列で終結された複数の符号系列を復号する場合において、所定の符号系列のビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化するようにしたので、符号系列毎にパスメトリックが初期化された状態で、ビタビ復号を開始することができる。従って、前の符号系列の影響を受けることなくビタビ復号を行うことができ、誤り率特性を向上させることができる。

【0105】請求項2に記載の情報受信装置によれば、所定の終結系列で終結された複数の符号系列を復号する場合において、所定の符号系列のビタビ復号を行うとき、所定のタイミングでパスメトリックを初期化するようにしたので、符号系列毎にパスメトリックが初期化された状態で、ビタビ復号を開始することができる。従って、前の符号系列の復号の影響を受けることなくビタビ復号を行うことができ、誤り率特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明を応用した情報伝送システムの構成例を示すブロック図である。

【図2】図1のビタビ復号器35の構成例を示すブロック図である。

【図3】図2のパスメトリック56の構成例を示すブロック図である。

【図4】図1の受信側の受信装置が動作する場合におけるタイミングチャートである。

【図5】従来の情報伝送システムの一例の構成を示すブロック図である。

【図6】図5の畳込み符号化器2の構成例を示すブロック図である。

【図7】状態遷移図を示す図である。

【図8】マルチプレクス情報の構成例を示す図である。

【図9】データフレームの構成例を示す図である。

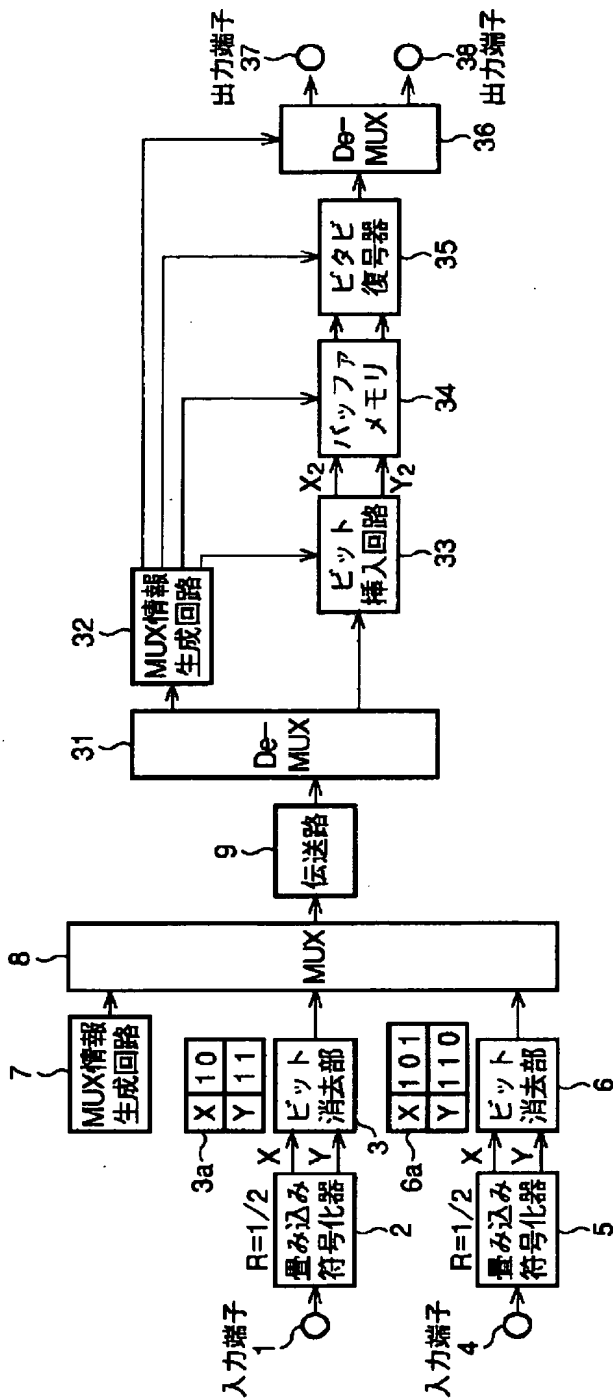
【符号の説明】

1, 4 入力端子, 2, 5 畳込み符号化器, 3, 6 ビット消去部, 3 a, 6 a ビット消去マップ, 7 マルチプレクス情報生成回路, 8 マルチプレクサ, 9 伝送路, 10 デマルチプレクサ, 11 マルチプレクス情報生成回路, 12 ビット挿入回路, 13 ビタビ復号器, 14 デマルチプレクサ, 15, 16 出力端子, 21 入力端子, 22, 23 遅延素子, 24, 25 演算器, 26, 27 出力端子, 31 デマルチプレクサ, 32 マルチプレクス情報生成回路, 33 ビット挿入回路, 34 バッファメモリ, 35 ビタビ復号器, 36 デマルチプレクサ, 37, 38 出力端

19

子, 41, 42 入力端子, 43乃至46 ブランチメ  
トリック演算回路, 47乃至50 ACS回路, 51乃  
至54 ステートメトリック記憶装置, 56 パスメ  
リ, 57 出力端子, 61乃至64, 71乃至74, 8

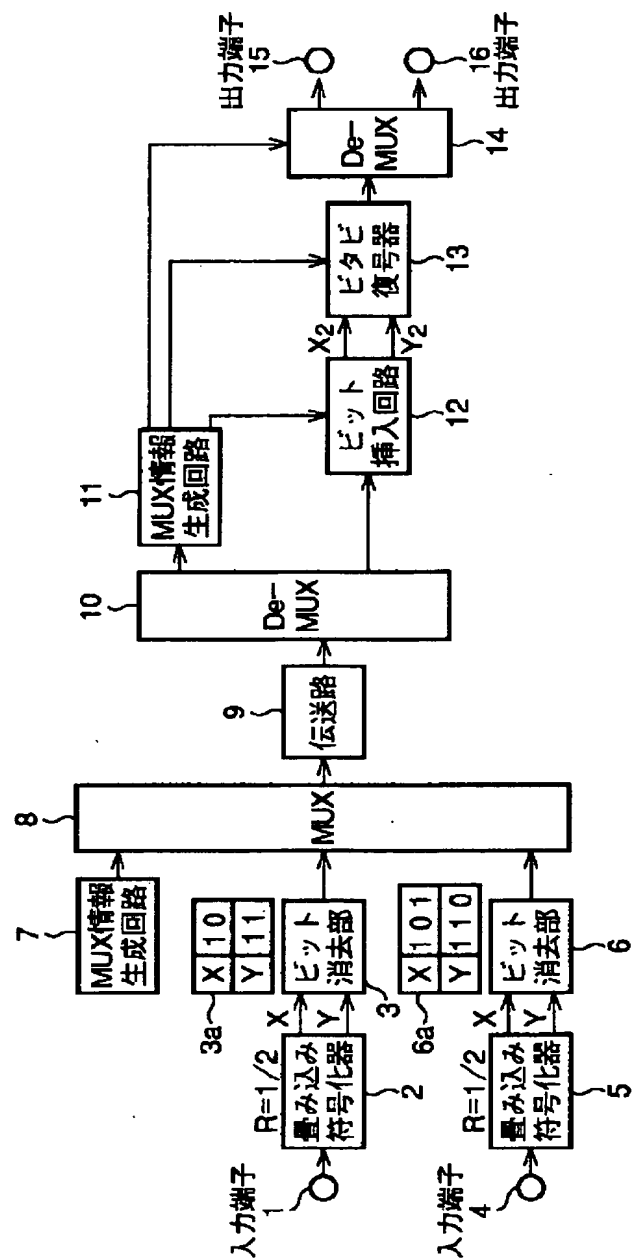
【図1】



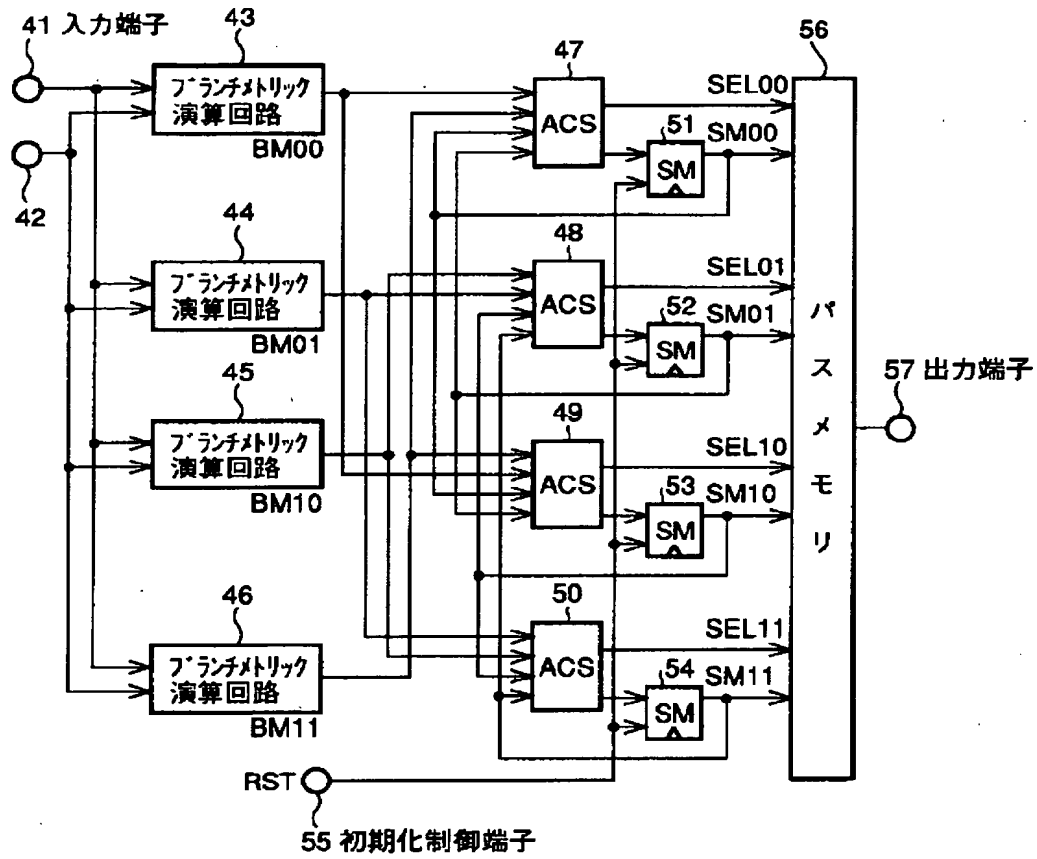
20

1乃至84, 91乃至94 セレクタ, 65乃至68,  
75乃至78, 85乃至88, 95乃至98 レジ  
スタ, 99 最小値比較回路, 100 セレクタ

【図5】

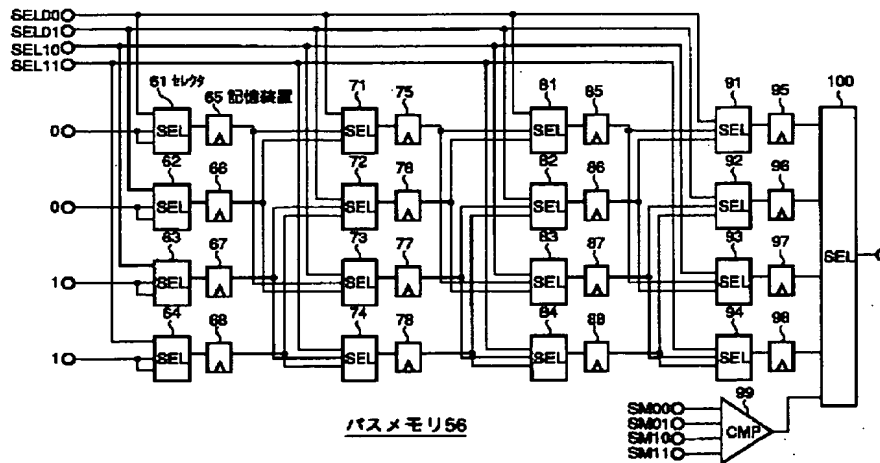


【図 2】

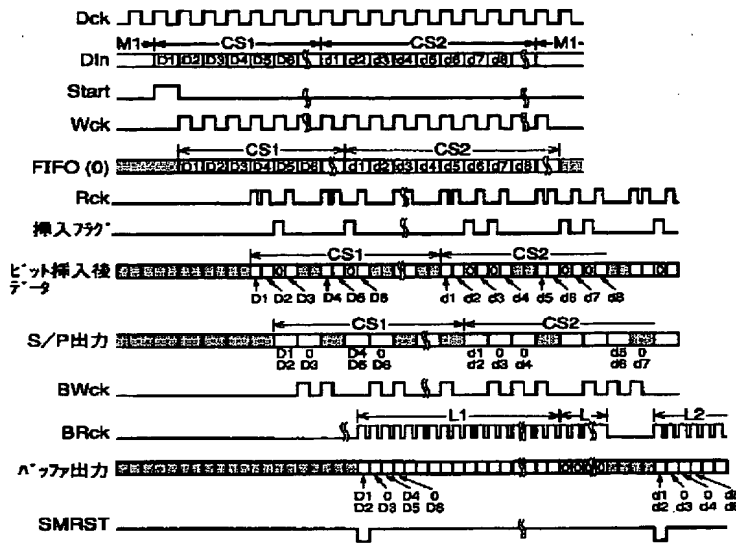


ビタビ復号器35

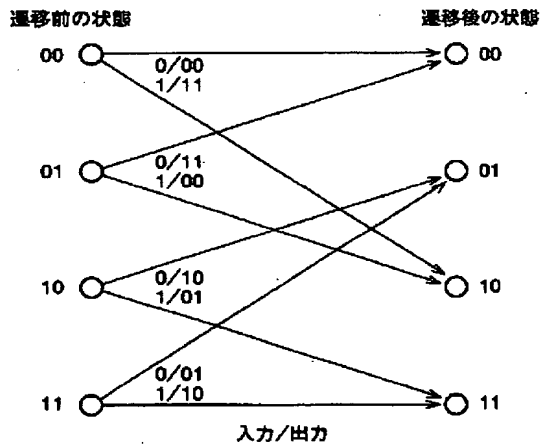
【図 3】



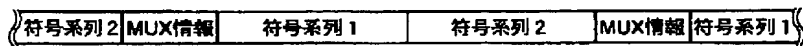
【図 4】



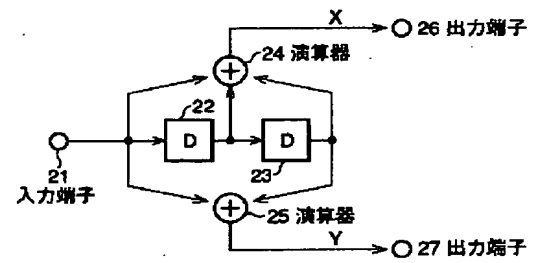
【図 7】



【図 9】



【図 6】



量み込み符号化器 2

【図 8】

MUX情報 識別子	符号系列 1 の符号化率	符号系列 1 の長さ	符号系列 2 の符号化率	符号系列 2 の長さ
--------------	-----------------	---------------	-----------------	---------------